

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-217356  
(43)Date of publication of application : 02.08.2002

(51)Int.Cl. H01L 25/065  
H01L 25/07  
H01L 25/18

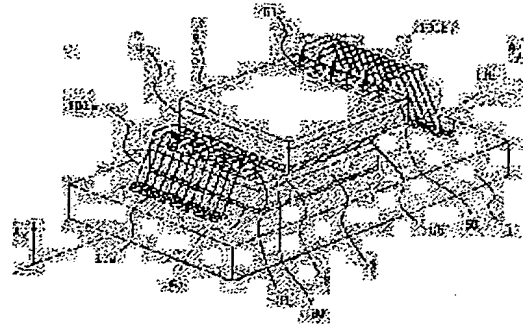
(21)Application number : 2001-010893 (71)Applicant : NEC CORP  
(22)Date of filing : 19.01.2001 (72)Inventor : FURUSAWA KOJI

## (54) SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To prevent breaking of a semiconductor chip in thermocompression bonding a lower-layer semiconductor chip onto a wiring substrate and to enable visual confirmation on connection sites, in stacking semiconductor chips of equal size.

**SOLUTION:** In this semiconductor device in which semiconductor chips of equal size are stacked on a printed wiring substrate 1, a lower-layer semiconductor chip 2 and an upper-layer semiconductor chip 4 are shifted in their mutual position in stacking the chips. Wiring layers 3, 5 for arranging the bonding pads of the lower-layer semiconductor chip and of the upper-layer semiconductor chip are provided on respective peripheral end regions 30, 50 of the chips where the stacking is not taken place because of the position shifting.



## LEGAL STATUS

[Date of request for examination] 14.10.2005  
[Date of sending the examiner's decision of rejection]  
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
[Date of final disposal for application]  
[Patent number]  
[Date of registration]  
[Number of appeal against examiner's decision of rejection]  
[Date of requesting appeal against examiner's decision of rejection]  
[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-217356

(P2002-217356A)

(43) 公開日 平成14年8月2日 (2002.8.2)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テ-マコ-ト (参考)

H 0 1 L 25/065

H 0 1 L 25/08

Z

25/07

25/18

審査請求 未請求 請求項の数 9 O L (全 12 頁)

(21) 出願番号 特願2001-10893(P2001-10893)

(22) 出願日 平成13年1月19日 (2001.1.19)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 古澤 宏治

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100104400

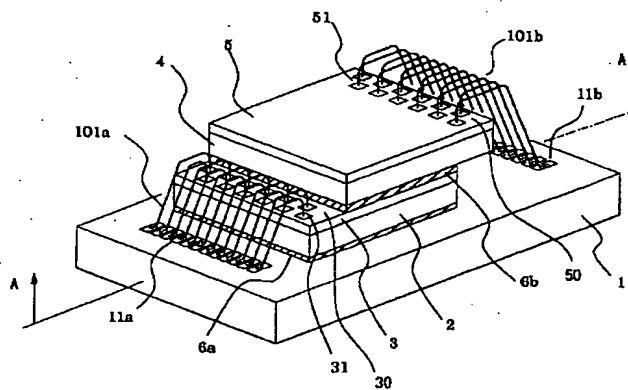
弁理士 浅野 雄一郎

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 サイズが等しい半導体チップを積層する際に、下層の半導体チップとプリント配線基板との熱圧着による破損防止を可能にし、接続部位の目視確認を可能にする。

【解決手段】 サイズの等しい半導体チップをプリント配線基板1に積層する半導体装置に、下層の半導体チップ2と上層の半導体チップ4をずらして積層することにより積層されない周辺端部にボンディングパッドを形成するためのボンディングパッド用周辺端部30、50と、ボンディングパッド用周辺部に下層の半導体チップ、上層の半導体チップのボンディングパッドを配置する配線層3、5とを備える。



1

## 【特許請求の範囲】

【請求項1】 サイズの等しい半導体チップがプリント配線基板上に積層される半導体装置において、

下層の前記半導体チップと上層の前記半導体チップをずらして積層することにより積層されない周辺端部にボンディングパッドを形成するためのボンディングパッド用周辺端部と、

前記ボンディングパッド用周辺部に下層の前記半導体チップ、上層の半導体チップのボンディングパッドを配置する配線層とを備えることを特徴とする半導体装置。

【請求項2】 サイズの等しい半導体チップがプリント配線基板上に積層される半導体装置において、

下層の前記半導体チップと上層の前記半導体チップをずらして積層することにより積層されない周辺端部にボンディングパッドを形成するためのボンディングパッド用周辺端部と、

下層の前記半導体チップの前記ボンディングパッド用周辺部にボンディングパッドを配置する配線層とを備えることを特徴とする半導体装置。

【請求項3】 前記周辺部は、それぞれが矩形である下層の前記半導体チップと上層の前記半導体チップとが積層された状態から上層の前記半導体チップを平行な辺の方向にずらすことにより、下層の前記半導体チップに形成されることを特徴とする、請求項1又は請求項2に記載の半導体装置。

【請求項4】 前記周辺部は、それぞれが矩形である下層の前記半導体チップと上層の前記半導体チップとが積層された状態から上層の前記半導体チップを回転してずらすことにより、下層の前記半導体チップに形成されることを特徴とする、請求項1又は請求項2に記載の半導体装置。

【請求項5】 前記周辺部は、それぞれが矩形である下層の前記半導体チップと上層の前記半導体チップとが積層された状態から上層の前記半導体チップを直交する辺の方向にずらすことにより、下層の前記半導体チップに形成されることを特徴とする、請求項1又は請求項2に記載の半導体装置。

【請求項6】 前記配線層はポリイミド、アルミニウムにより構成されることを特徴とする、請求項1又は請求項2に記載の半導体装置。

【請求項7】 下層の前記半導体チップと上層の前記半導体チップをずらして半導体チップを2層又は3層に積層することを特徴とする、請求項1に記載の半導体装置。

【請求項8】 ずらして積層された下層の前記半導体チップと上層の前記半導体チップとについて配置されたボンディングパッドに対応して、プリント配線基板のボンディングパッドを配置することを特徴とする、請求項1又は請求項2に記載の半導体装置。

【請求項9】 サイズの等しい半導体チップがプリント

2

配線基板上に積層される半導体装置の製造方法において、下層の前記半導体チップ、上層の前記半導体チップの周辺部にボンディングパッドを配線層により配置する工程と、

下層の前記半導体チップ、上層の半導体チップの周辺部に配置される前記ボンディングパッドと重ならないように下層の半導体チップと上層の半導体チップをずらして積層する工程と、

下層の前記半導体チップと上層の前記半導体チップのボンディングパッドと前記プリント配線基板のボンディングパッドをワイヤボンディングにより電気的に接続することを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は基板上に複数の半導体チップを積層して実装する半導体装置に関する。特に、本発明は、サイズが等しい半導体チップを積層する時に下層の半導体チップのワイヤボンディングを可能にする半導体装置及びその製造方法に関する。

## 【0002】

【従来の技術】 従来の高密度実装技術の1つとして、プリント配線基板上に複数の半導体チップを積層実装するスタック実装という技術がある。スタック実装では、通常、プリント配線基板と積層される半導体チップとの接続が、ワイヤボンディングにより行われる。

【0003】 このため、ボンディングパッドを上向きにしたフェースアップ (Face Up) の状態で、チップサイズの大きな順に半導体チップが積層される。すなわち、積層される半導体チップでは、大きいサイズの下層の半導体チップの面のうち、小さいサイズの上層の半導体チップと接触しない面に、ボンディングパッドが設けられる。

【0004】 ところで、サイズが等しい半導体チップを積層する場合には、下層の半導体チップの全面が上層の半導体チップにより覆われるので、下層の半導体チップにはボンディングパッドを設ける場所が無くなる。従来技術として、サイズが等しい半導体チップの積層実装について以下に説明する。図16は本発明の前提となる半導体装置の概略を示す断面図である。本図に示すよう

に、半導体装置は、プリント配線基板1に半導体チップ200、210が積層実装されることにより製造される。

【0005】 プリント配線基板1にはボンディングパッド211a、211b、ボンディングパッド231a、231bが設けられる。半導体チップ200、210のサイズは等しく、半導体チップ201が上層に位置し、半導体200が下層に位置する。上層の半導体チップ210の両サイドには、通常とおりフェースアップの状態で、ボンディングパッド241a、241bが設けられる。

50

3

【0006】下層の半導体チップ200の両サイドには、フェースダウン（Face Down）の状態、ボンディングパッド221a、221bが設けられる。通常とおり、上層の半導体チップ210のボンディングパッド241a、241bとプリント配線基板1のボンディングパッド211a、211bとがワイヤ201a、201bを用いてワイヤボンディングにより電氣的に接続される。下層の半導体チップ200のボンディングパッド221a、221bとプリント配線基板1のボンディングパッド231a、231bとが金バンプ220a、220bを用いて熱圧着により電氣的に接続される。

【0007】このように、金バンプ220a、220bの熱圧着を用いて、下層の半導体チップ200とプリント配線基板1とのボンディングパッド220a、220b、ボンディングパッド231a、231bを電氣的に接続することは、特開平7-326710号公報に開示されている。上層の半導体チップ210の面と下層の半導体チップ200の面は接着剤206bにより相互に接着固定される。さらに、下層の半導体200の面とプリント配線基板1の面は接着剤206aにより相互に接着固定される。

【0008】

【発明が解決しようとする課題】しかしながら、上記半導体装置の製造では、下層の半導体チップ200がフェースダウンでプリント配線基板1に電氣的に接続されるため、下層の半導体チップ200を熱圧着する際に、下層の半導体チップ200が破損したり、フェースダウンに起因して接続部位の目視確認ができず、歩留りが低下するという問題がある。

【0009】このため、後工程に対する負荷が増大するという問題が発生する。したがって、本発明は上記問題点に鑑みて、サイズが等しい半導体チップを積層する際に、下層の半導体チップとプリント配線基板との熱圧着による破損防止を可能にし、接続部位の目視確認を可能にする半導体装置及びその製造方法を提供することを目的とする。

【0010】

【課題を解決するための手段】本発明は前記問題点を解決するために、サイズが等しい半導体チップがプリント配線基板に積層される半導体装置において、下層の前記半導体チップと上層の前記半導体チップをずらして積層することにより積層されない周辺端部にボンディングパッドを形成するためのボンディングパッド用周辺端部と、下層の前記半導体チップの前記ボンディングパッドを配置する配線層とを備えることを特徴とする半導体装置を提供する。

【0011】この手段により、サイズが等しい半導体チップを積層する際に、下層の半導体チップとプリント配

4

線基板とを熱圧着する必要がなくなり、熱圧着による下層の半導体チップの破損防止が可能になり、さらに接続部位の目視確認を可能にでき、歩留まりを向上させることが可能になる。さらに、本発明は、サイズの等しい半導体チップがプリント配線基板に積層される半導体装置において、下層の前記半導体チップと上層の前記半導体チップをずらして積層することにより積層されない周辺端部にボンディングパッドを形成するためのボンディングパッド用周辺端部と、下層の前記半導体チップの前記ボンディングパッド用周辺部にボンディングパッドを配置する配線層とを備えることを特徴とする半導体装置を提供する。この手段により、通常、上層の半導体チップのボンディングパッドはワイヤボンディングが可能であるので、配置の必要が無い場合には、下層の半導体チップだけ配置を行うようにできる。好ましくは、前記周辺部は、それぞれが矩形である下層の前記半導体チップと上層の前記半導体チップとが積層された状態から上層の前記半導体チップを1つの辺方向にずらすことにより、下層の前記半導体チップに形成される。

【0012】この手段により、下層の半導体チップの1つの辺にボンディングパッドを形成するための周辺端部が形成可能になる。好ましくは、前記周辺部は、それぞれが矩形である下層の前記半導体チップと上層の前記半導体チップとが積層された状態から上層の前記半導体チップを、例えば、45度回転してずらすことにより、下層の前記半導体チップに形成される。

【0013】この手段により、下層の半導体チップの4つの隅にボンディングパッドを形成するための周辺端部が形成可能になる。また下層の半導体チップと上層の半導体チップの中心が同軸上に積層できるため、半導体チップを積層する際の安定性が増し、各ワイヤが半導体チップの方向に引き出せるので、ワイヤ配線の自由度が増すという効果が発生する。好ましくは、前記周辺部は、それぞれが矩形である下層の前記半導体チップと上層の前記半導体チップとが積層された状態から上層の前記半導体チップを2つの辺方向にずらすことにより、下層の前記半導体チップに形成される。

【0014】この手段により、下層の半導体チップの2つの辺にボンディングパッドを形成するための周辺端部が形成可能になる。好ましくは、前記配線層はポリイミド、アルミニウムにより構成される。この手段により、配線層の内部に接続線の形成が可能になり、半導体チップのボンディングパッドの位置を、半導体チップ上の任意の位置に配置しなおすことが可能になる。

【0015】好ましくは、下層の前記半導体チップと上層の前記半導体チップをずらして半導体チップを2層又は3層に積層する。この手段により、積層されるサイズが等しい半導体チップのワイヤボンディングが可能になり、歩留まりを向上しつつ高密度実装が可能になる。好ましくは、ずらして積層された下層の前記半導体チップ

5

と上層の前記半導体チップとについて配置されたボンディングパッドに対応して、プリント配線基板のボンディングパッドを配置する。

【0016】この手段により、積層される半導体チップの全てとプリント配線基板とのワイヤボンディングが可能になる。さらに、本発明は、サイズの等しい半導体チップがプリント配線基板に積層される半導体装置の製造方法において、下層の前記半導体チップ、上層の前記半導体チップの周辺部にボンディングパッドを配線層により配置する工程と、下層の前記半導体チップ、上層の半導体チップの周辺部に配置される前記ボンディングパッドと重ならないように下層の半導体チップと上層の半導体チップをずらして積層する工程と、下層の前記半導体チップと上層の前記半導体チップのボンディングパッドと前記プリント配線基板のボンディングパッドをワイヤボンディングにより電気的に接続することを特徴とする半導体装置の製造方法を提供する。

【0017】この手段により、上記発明と同様に、サイズが等しい半導体チップを積層する際に、下層の半導体チップとプリント配線基板とを熱圧着する必要がなくなり、熱圧着による破損防止が可能になり、接続部位の目視確認を可能にでき、歩留まりを向上することが可能になる。

【0018】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して説明する。図1は、本発明に係る半導体装置の概略を示す斜視図である。本図に示すように、プリント配線基板1には、矩形でありサイズが等しい下層、上層の半導体チップ2、4がフェースアップ状態で、重なった状態から相互に平行な辺の方向にずらして積層実装される。

【0019】プリント配線基板1は樹脂を基材として銅配線による電気回路を内蔵し、半導体チップ2、4は集積回路を内蔵する。なお、半導体チップ2、4には、複数のボンディングパッドがそれぞれ設けられ、ボンディングパッドの各々は、半導体チップに内蔵する回路の入出力端子をそれぞれの表面に引き出す。

【0020】半導体チップ2、4の表面には配線層3、5がそれぞれ形成される。配線層3、5は半導体チップ2、4と等しいサイズに形成され、ポリイミドとアルミニウムの層で積層され、内部に接続線、周辺端部に複数のボンディングパッドを有し、半導体チップのボンディングパッドを任意の位置に配置することを可能にする。

【0021】一例として、本図に示すように、配線層3の左側周辺端部30に設けられる複数のボンディングパッド31は、配線層3の内部の接続線で、下層の半導体チップ2のボンディングパッドと接続することにより、半導体チップ2のボンディングパッドを左側周辺端部30に配置する。同様に、配線層5の右側周辺端部50に設けられる複数のボンディングパッド51は、配線層5

6

の内部の接続線で、上層の半導体チップ4のボンディングパッドと接続することにより、上層の半導体チップ4のボンディングパッドを右側周辺端部50に配置する。

【0022】上層の半導体チップ4と下層の半導体チップ2とが完全に積層した状態から上層の半導体チップ4を右側にずらして、下層の半導体チップ2に積層し、接着剤6bで接着固定することにより、下層の半導体チップ2の左周辺端部30にボンディングパッドが形成されるようにする。なお、下層の半導体チップ2の表面がプリント配線基板1と接着剤6aで接着固定される。

【0023】プリント配線基板1には、配置された複数のボンディングパッド31、51に対応して、複数のボンディングパッド11a、11bがそれぞれ設けられる。下層の半導体チップ2、上層の半導体チップ4に配置された複数のボンディングパッド31、51は、複数のワイヤ101a、101bを用いてワイヤボンディングにより、プリント配線基板1の複数のボンディングパッド11a、11bにそれぞれ電気的に接続される。

【0024】なお、半導体チップ2、4とプリント配線基板1との間の電気配線を行うワイヤ101a、101bは、金、アルミニウム等の極細ワイヤからなる。このようにして、下層の半導体チップ2と上層の半導体チップ4をずらして得られる領域に配線層3によりボンディングパッド31を設けるようにしたので、下層の半導体チップ2のワイヤボンディングが可能になる。

【0025】すなわち、半導体チップ2、半導体チップ4に配置されたボンディングパッド31、51を全てワイヤボンディングすることが可能になる。上層の半導体チップ4のボンディングパッド51は、下層の半導体チップ2のボンディングパッド31と反対側になるように配置されるので、ワイヤボンディングされるワイヤ101aと101bとの干渉を回避することが可能になる。

【0026】したがって、本発明によれば、従来のように、熱圧着による下層の半導体チップの破損が無くなり、接続状態の目視確認が可能になり、後工程に対する負荷が無くなる。図2は図1の線A-Aについての断面を示す図である。本図に示すように、下層の半導体チップ2の表側にはボンディングパッド21a、21b等が設けられている。配線層3には複数の接続配線31aが設けられ、接続配線31aの各々により、配線層3の複数のボンディングパッド31と半導体チップ2の複数のボンディングパッド21a、21b等がそれぞれ接続される。

【0027】配線層5には複数の接続配線51aが設けられ、接続配線51aの各々により、配線層5の複数のボンディングパッド51と半導体チップ5の複数のボンディングパッド41a、41b等がそれぞれ接続される。なお、通常、上層の半導体チップ4のボンディングパッドはワイヤボンディングが可能であるので、上層の半導体チップ4のボンディングパッドを配置しなす必

7

要が無い場合には、下層の半導体チップだけ配置しなおすようにしてもよい。図3は配線層3により下層の半導体チップ2のボンディングパッドを配置する例を示す図である。本図(a)に示すように、下層の半導体チップ2の表面周辺端部には、複数のボンディングパッド21a、21b、21c、21dが設けられているとする。

【0028】本図(b)に示すように、下層の半導体チップ2とサイズが等しくこれに積層する配線層3の一方の周辺端部30、例えば、図中の左側周辺端部30に複数のボンディングパッド31が配置される。周辺端部30は下層の半導体チップ2と上層の半導体チップ4(図1、2参照)により積層されない周辺端部である。配線層3の複数の配線31aにより、配線層3における複数のボンディングパッド31と下層の半導体チップ2における複数のボンディングパッド21a、21b、21c、21dとがそれぞれ接続される。

【0029】図4は配線層5により上層の半導体チップ4のボンディングパッドを配置する例を示す図である。本図(a)に示すように、上層の半導体チップ4の表面周辺端部には、複数のボンディングパッド41a、41b、41c、41dが設けられているとする。本図

(b)に示すように、下層の半導体チップ4とサイズが等しくこれに積層する配線層5の一方の周辺端部50、例えば、図中の右側周辺端部50に複数のボンディングパッド51が配置される。周辺端部50は下層の半導体チップ2と上層の半導体チップ4により積層されない周辺端部である。

【0030】配線層5の複数の配線51aにより、配線層5における複数のボンディングパッド51と上層の半導体チップ4における複数のボンディングパッド41a、41b、41c、41dとがそれぞれ接続される。図5は図1におけるプリント配線基板1のボンディングパッド11a、11bを示す図である。

【0031】本図に示すように、プリント配線基板1には、接着固定される下層の半導体チップ2のボンディングパッド31の位置に対応してボンディングパッド11aが設けられる。これに対して、下層の半導体チップ2に積層される上層の半導体チップ4のずれを考慮して、上層の半導体チップ4のボンディングパッド51に対応するボンディングパッド11bがプリント配線基板1に設けられる。

【0032】なお、上記の説明では、上層の半導体チップ4のボンディングパッド51は、下層の半導体チップ2のボンディングパッド31と対向する側に設けたが、分散して、積層されている非対向の周辺端部に設けてもよい。配置の柔軟性を確保するためである。図6は図1の半導体装置の製造方法の概略を説明するフローチャートである。

【0033】S401：下層、上層の各半導体チップ2、4のウェハ上に、配線層3、5を形成し、ボンディ

8

ングパッドの再配置を行う。

S402：各半導体チップをダイシングし、チップ化する。

【0034】ステップS403において、下層の半導体チップ2をフェースアップ状態でプリント配線基板1に接着固定する。ステップS404において、上層の半導体チップ4をフェースアップ状態で下層の半導体チップ2にずらして積層し、接着固定する。ステップS405において、下層、上層の半導体チップ2、4とプリント配線基板1とをワイヤボンディングパッドで電氣的に接続する。

【0035】図7は図1の変形例であり、半導体チップを3層に積層する例を示す図である。本図に示すように、半導体チップ4の上にさらにサイズが等しい半導体チップ302が積層される。積層される半導体チップ302は、半導体チップ4のボンディングパッド51と反対側にずらして、接着剤306aにより、半導体チップ4に接着固定される。これにより、下層の半導体チップ4と重ならない周辺端部300が半導体チップ表側に形成される。

【0036】半導体チップ302には配線層303が設けられ、配線層303は、周辺端部300にボンディングパッド331を形成し、配線303aにより半導体チップ302の複数のボンディングパッド321a、321bをボンディングパッド331に配列する。配線層303の複数のボンディングパッド331は配線層5のボンディングパッド51とは反対側に位置する。

【0037】これにより、半導体チップ302のワイヤ301aと半導体チップ4のワイヤ101bが干渉しないようになる。このように、サイズが同じ半導体チップを3層に積層することにより、さらに、高密度実装が可能になる。図8は図1の変形例であり、下層の半導体チップ2に対して、中心を共通にして、上層の半導体チップ4を45度回転して積層し、重ならない4隅の領域にボンディングパッドを設置する例を示す図である。

【0038】本図に示すように、プリント配線基板1に接着固定された半導体チップ2に対して、半導体チップ4を45度回転して積層すると、半導体チップ2、半導体チップ4にはそれぞれ重ならない4つの隅の周辺端部71、72、73、74、周辺端部81、82、83、84が形成される。半導体チップ2の4つの隅の周辺端部71、72、73、74にそれぞれ設けられた複数のボンディングパッドと対応するプリント配線基板1の複数のボンディングパッドとが、複数のワイヤ71c、72c、73c、74cを用いて、ワイヤボンディングによりそれぞれ電氣的に接続される。

【0039】同様に、半導体チップ4の4つの隅の周辺端部81、82、83、84にそれぞれ設けられた複数のボンディングパッドと対応するプリント配線基板1の複数のボンディングパッドとが、複数のワイヤ81c、

9

82c、83c、84cを用いてワイヤボンディングによりそれぞれ電氣的に接続される。図9は図8の半導体チップ2、配線層3を説明する図である。本図(a)に示すように、下層の半導体チップ2のフェースアップ側周辺端部には、複数のボンディングパッド21a、21b、21c、21dが設けられているとする。

【0040】本図(b)に示すように、下層の半導体チップ2とサイズが等しくこれに積層する配線層3の4つの隅の周辺端部71、72、73、74には複数のボンディングパッド71a、72a、73a、74aがそれぞれ配置される。配線層3の複数の配線31aにより、配線層3における複数のボンディングパッド71a、72a、73a、74aと下層の半導体チップ2における複数のボンディングパッド21a、21b、21c、21dとがそれぞれ接続される。

【0041】図10は図8の半導体チップ4、配線層5を説明する図である。半導体チップ4、配線層5は中心を共通にして半導体チップ2、配線層3に対して45度回転した状態にある。本図(a)に示すように、下層の半導体チップ2のフェースアップ側周辺端部には、複数のボンディングパッド41a、41b、41c、41dが設けられているとする。

【0042】本図(b)に示すように、下層の半導体チップ2とサイズが等しくこれに積層する配線層3の4つの隅の周辺端部81、82、83、84には複数のボンディングパッド81a、82a、83a、84aがそれぞれ配置される。配線層5の複数の配線51aにより、配線層5における複数の81a、82a、83a、84aボンディングパッドと下層の半導体チップ2における複数のボンディングパッド41a、41b、41c、41dとがそれぞれ接続される。

【0043】図11は図8におけるプリント配線基板1のボンディングパッドを示す図である。本図に示すように、プリント配線基板1には、接着固定される下層の半導体チップ2の4つ隅の周辺端部71、72、73、74ではボンディングパッド71a、72a、73a、74aに対応してボンディングパッド71b、72b、73b、74bがそれぞれ設けられる。

【0044】これに対して、プリント配線基板1には、下層の半導体チップ2に回転して積層される上層の半導体チップ4の隅の周辺端部81、82、83、84では81a、82a、83a、84aボンディングパッドに対応してボンディングパッド81b、82b、83b、84bがそれぞれ設けられる。このようにして、下層の半導体チップ2と上層の半導体チップ4を、それらの中心が同軸上になるように、積層できるため、半導体チップを積層する際の安定性が増し、各ワイヤ71c、72c、73c、74c、81c、82c、83c、84cが半導体チップの4方向に引き出せるので、ワイヤ配線の自由度が増すという効果が発生する。

10

【0045】図12は図1の変形例であり、下層の半導体チップ2と上層の半導体チップ4を完全に積層した状態から直交する辺の方向にずらして積層し、重ならない周辺端部30、50にボンディングパッドを設置する例を示す図である。本図に示すように、プリント配線基板1に接着固定された半導体チップ2に対して、半導体チップ4を完全に積層した状態から直交する辺の方向にずらして積層することにより、例えば、半導体チップ2に重ならない領域が図中の参照番号30で示す左側周辺端部と上側周辺端部に形成され、半導体チップ4に重ならない領域が図中の参照番号50で示す右側周辺端部と下側周辺端部に形成される。

【0046】半導体チップ2の左側及び上側周辺端部30にそれぞれ設けられた複数のボンディングパッドと対応するプリント配線基板1の複数のボンディングパッドとが、複数のワイヤ101a、101cを用いてワイヤボンディングによりそれぞれ電氣的に接続される。同様に、半導体チップ4の右側及び下側周辺端部50にそれぞれ設けられた複数のボンディングパッドと対応するプリント配線基板1の複数のボンディングパッドとが、複数のワイヤ101b、101dを用いてワイヤボンディングによりそれぞれ電氣的に接続される。

【0047】図13は図12の半導体チップ2、配線層3を説明する図である。本図(a)に示すように、下層の半導体チップ2の表面周辺端部には、複数のボンディングパッド21a、21b、21c、21dが設けられているとする。本図(b)に示すように、下層の半導体チップ2とサイズが等しくこれに積層する配線層3の左側及び上側周辺端部30に複数のボンディングパッド31、32が配置される。

【0048】配線層3の複数の配線31aにより、配線層3における複数のボンディングパッド31、32と下層の半導体チップ2における複数のボンディングパッド21a、21b、21c、21dとがそれぞれ接続される。図14は図12の半導体チップ4、配線層5を説明する図である。本図(a)に示すように、上層の半導体チップ4の表面周辺端部には、複数のボンディングパッド41a、41b、41c、41dが設けられているとする。

【0049】本図(b)に示すように、下層の半導体チップ2とサイズが等しくこれに積層する配線層3の右側及び下側周辺端部50には複数のボンディングパッド51、52が配置される。配線層5の複数の配線51aにより、配線層5における複数の51、52ボンディングパッドと下層の半導体チップ2における複数のボンディングパッド41a、41b、41c、41dとがそれぞれ接続される。

【0050】図15は図12におけるプリント配線基板1のボンディングパッドを示す図である。本図に示すように、プリント配線基板1には、接着固定される下層の

半導体チップ2の左側及び上側周辺端部30のボンディングパッド31、32に対応してボンディングパッド11a、11cがそれぞれ設けられる。

【0051】これに対して、プリント配線基板1には、上層の半導体チップ4の右側及び下側周辺端部50の51、52ボンディングパッドに対応してボンディングパッド11b、11dがそれぞれ設けられる。

【0052】

【発明の効果】以上説明したように、本発明によれば、下層の半導体チップ、上層の半導体チップの周辺部にボンディングパッドを配線層により配置し、下層の半導体チップ、上層の半導体チップの周辺部に配置されるボンディングパッドと重ならないように下層の半導体チップ、上層の半導体チップをずらして積層し、下層の半導体チップ、上層の半導体チップのボンディングパッドとプリント配線基板のボンディングパッドをワイヤボンディングにより電気的に接続するようにしたので、サイズが等しい半導体チップを積層する際に、下層の半導体チップとプリント配線基板とを熱圧着にする必要がなくなり、熱圧着による破損防止が可能になり、接続部位の目視確認を可能にでき、歩留まりを向上させることが可能になる。

【図面の簡単な説明】

【図1】本発明に係る半導体装置の概略を示す斜視図である。

【図2】図1の線A-Aについての断面を示す図である。

【図3】配線層3により下層の半導体チップ2のボンディングパッドを配置する例を示す図である。

【図4】配線層5により上層の半導体チップ4のボンディングパッドを配置する例を示す図である。

【図5】図1におけるプリント配線基板1のボンディングパッド11a、11bを示す図である。

【図6】図1の半導体装置の製造方法の概略を説明するフローチャートである。

【図7】図1の変形例であり、半導体チップを3層に積層する例を示す図である。

【図8】図1の変形例であり、下層の半導体チップ2に対して、中心を共通にして、上層の半導体チップ4を4

5度回転して積層し、重ならない4隅の領域にボンディングパッドを設置する例を示す図である。

【図9】図8の半導体チップ2、配線層3を説明する図である。

【図10】図8の半導体チップ4、配線層5を説明する図である。

【図11】図8におけるプリント配線基板1のボンディングパッドを示す図である。

【図12】図1の変形例であり、下層の半導体チップ2と上層の半導体チップ4を完全に積層した状態から2方向にずらして積層し、重ならない領域にボンディングパッドを設置する例を示す図である。

【図13】図12の半導体チップ2、配線層3を説明する図である。

【図14】図12の半導体チップ4、配線層5を説明する図である。

【図15】図12におけるプリント配線基板1のボンディングパッドを示す図である。

【図16】本発明の前提となる半導体装置の概略を示す断面図である。

【符号の説明】

1…プリント配線基板

2、4、302…半導体チップ

3、5、303…配線層

6a、6b、306a…接着剤

11a、11b、11c、11d、21a、21b、21c、21d、41a、41b、41c、41d、3

1、32、51、52、71a、72a、73a、74a、71b、72b、73b、74b、81a、82

a、83a、84a、81b、82b、83b、84

b、311a、321a、321b、331、…ボンディングパッド

30、50、71、72、73、74、81、82、8

3、84、300…周辺端部

31a、51a、303a…接続線

101a、101b、101c、101d、301a、

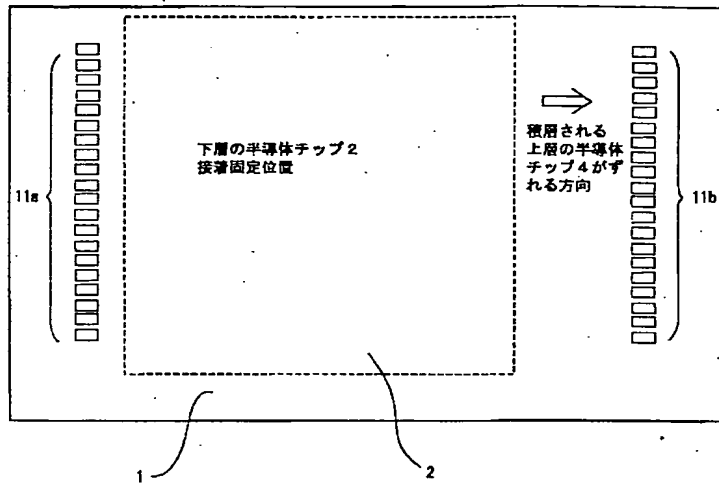
71c、72c、73c、74c、81c、82c、8

3c、84c…ワイヤ

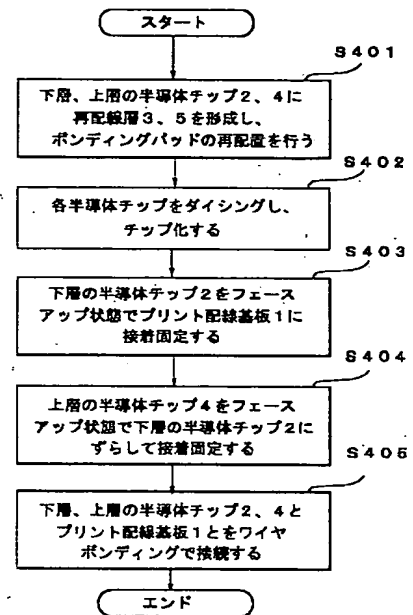




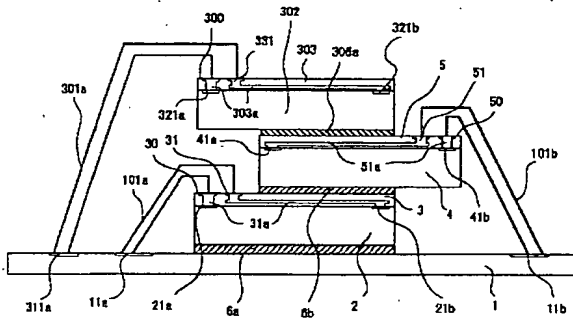
【図5】



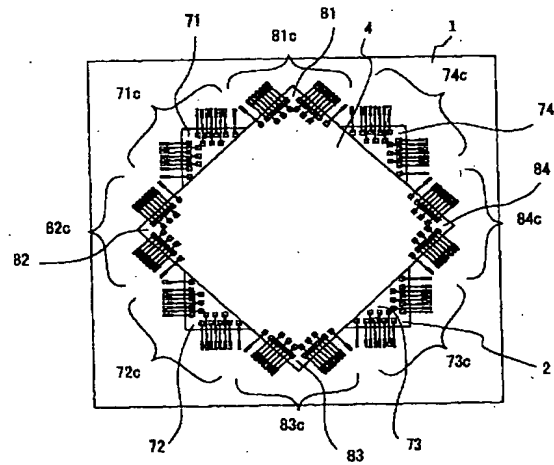
【図6】



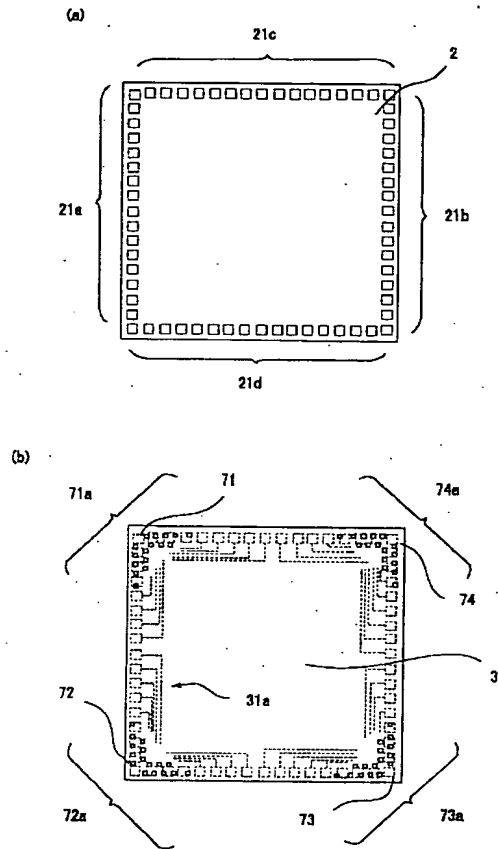
【図7】



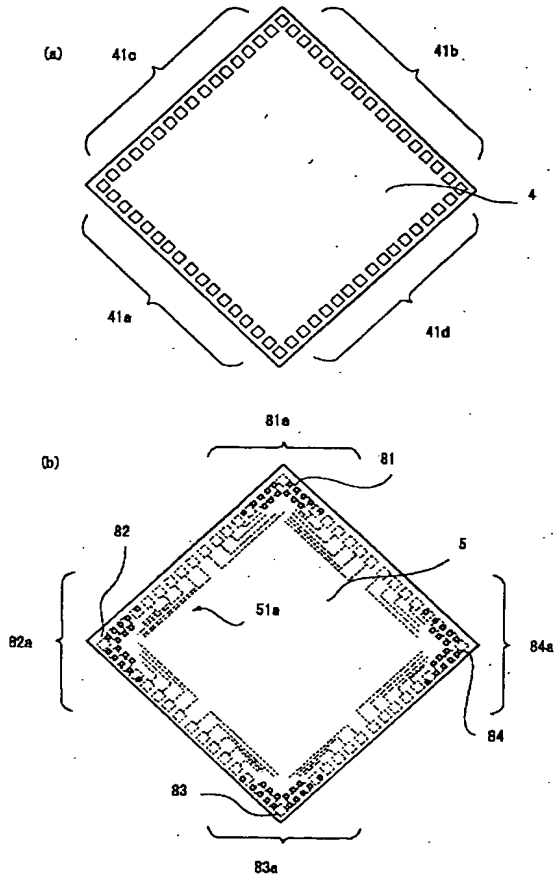
【図8】



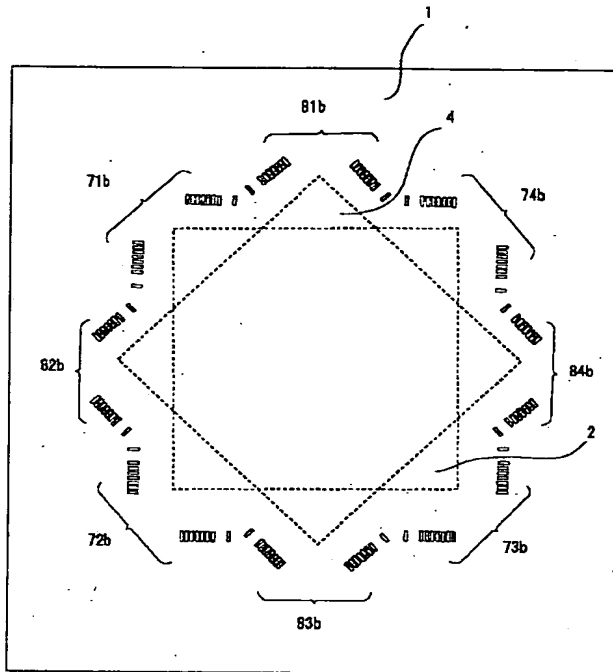
【図 9】



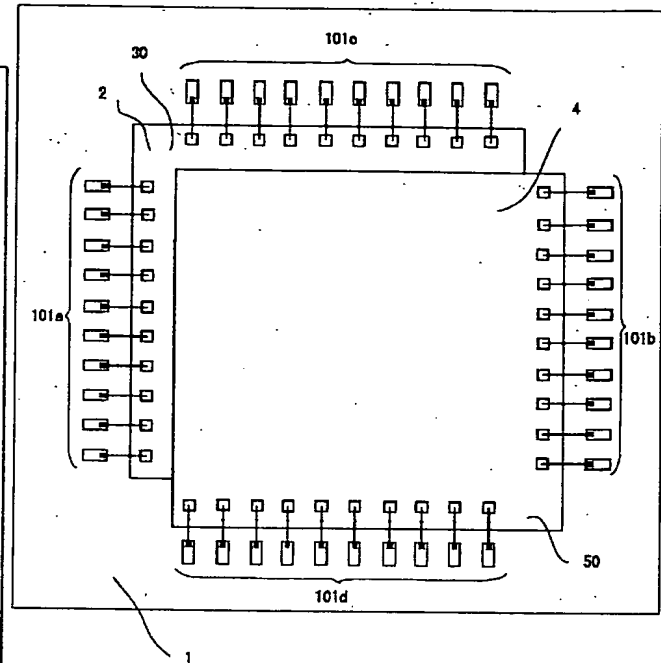
【図 10】



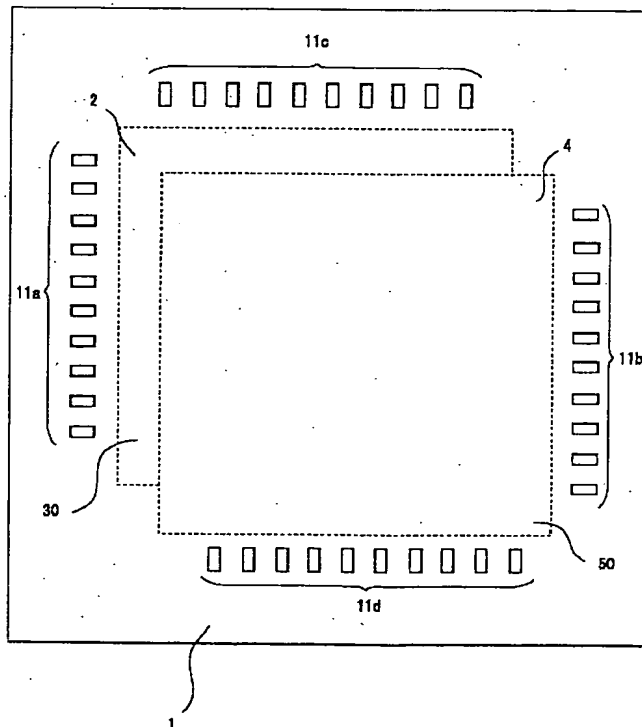
【図11】



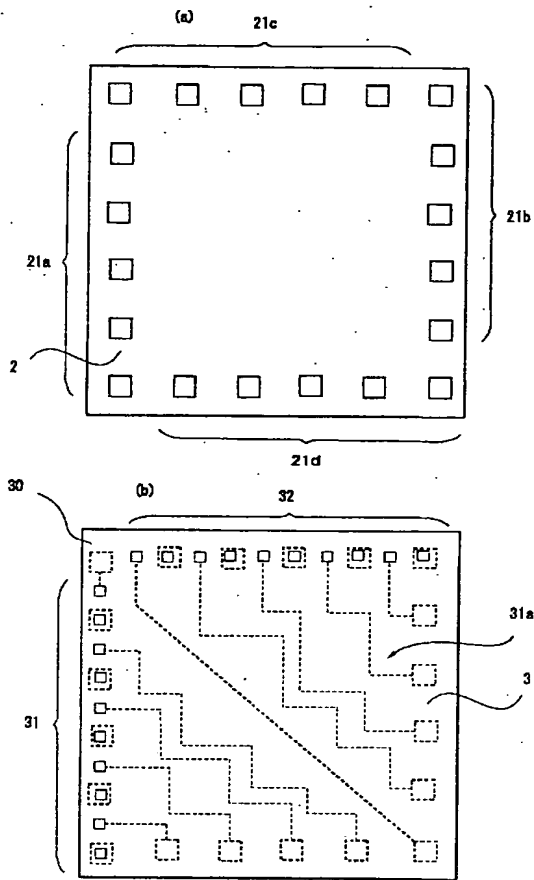
【図12】



【図15】



【図13】



【図14】

